

DERWENT-ACC-NO: 1988-107563

DERWENT-WEEK: 198816

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Three-dimensional integrated circuit device - has N-type semiconductor layer including wiring layers, and P-type IC on N-type layer through insulator NoAbstract Dwg 2/2

PATENT-ASSIGNEE: MITSUBISHI DENKI KK[MITQ]

PRIORITY-DATA: 1986JP-0199731 (August 25, 1986)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 63054763 A	March 9, 1988	N/A	011	N/A

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 63054763A	N/A	1986JP-0199731	August 25, 1986

INT-CL (IPC): H01L021/90, H01L027/08 , H01L029/78

ABSTRACTED-PUB-NO:

EQUIVALENT-ABSTRACTS:

DERWENT-CLASS: U11 U13

EPI-CODES: U11-D03C3; U13-D02; U13-D02A; U13-D05;

⑯ 公開特許公報 (A)

昭63-54763

⑯ Int.CI. 1

H 01 L 27/08
21/90
27/00
29/78

識別記号

3 2 1
3 0 1
3 1 1

府内整理番号

7735-5F
B-6708-5F
C-8122-5F
C-8422-5F

⑯ 公開 昭和63年(1988)3月9日

審査請求 未請求 発明の数 1 (全4頁)

⑯ 発明の名称 半導体装置

⑯ 特願 昭61-199731

⑯ 出願 昭61(1986)8月25日

⑯ 発明者 町田 浩久 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑯ 発明者 安藤 秀樹 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑯ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑯ 代理人 弁理士 大岩 増雄 外2名

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

□型半導体素子、絶縁膜、配線等よりなる□型半導体集積回路層と、この□型半導体集積回路層上に、第1の絶縁層を介して設けられる金属配線層と、この金属配線層上に第2の絶縁層を介して設けられる□型半導体素子、絶縁膜、配線等よりなる□型半導体集積回路層と、前記□型半導体集積回路層から前記金属配線層、及び前記□型半導体集積回路層に遡する層間配線とを備え相補型MOS集積回路を形成したこと。を特徴とする半導体装置

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、横層型半導体装置に關し、特に相補型MOS集積回路における素子の構成方法とその配線方法に関するものである。

〔従来の技術〕

第3図は、従来の横層型半導体装置の断面図を示したものである。図において11は第1の相補型MOS集積回路層(以下第1層と称す。)であり、絶縁層13を介して第2の相補型MOS集積回路層12(以下第2層と称す。)が設けられている。14は第1層に設けられた配線層、20は第2層に設けられた配線層、15は第1層中の□型半導体素子の活性領域、16は第2層中の□型半導体素子の活性領域、17は第1層中の□型半導体素子の活性領域、18は第2層中の□型半導体素子の活性領域、19はM型のウエル、10は第1層の絶縁膜、21は第2層の絶縁膜を示す。

この場合、第1層と第2層の間は層間配線16で接続されている。

〔発明が解決しようとする問題点〕

従来の横層型半導体装置は、異なる層をスルーホールやランタクトホールを介して接続して集成度をあげているだけであり、相補型MOS集積回路によくある□型半導体と□型半導体のドレイン電極同士、ゲート電極同士の接続、及

びそれらの接続と配線を効率よく実現していかなかつた。

この発明は上記のような問題点に鑑み、用補型MOS集積回路を簡単なプロセスで構成することのできる横層型半導体装置を得ることを目的にする。

〔問題点を解決するための手段〕

この発明に係る横層型半導体装置は、第1層n型半導体素子を第2層にp型半導体素子をそれぞれ別々に形成し、新たに第1層と第2層の間に金属配線の層を設けたものである。

〔作用〕

この発明における横層型半導体装置は、金属配線を活性領域などによる段差のない新たな層に設けるため、金属配線自身を細くすることができ、奥横度をあげることができる。また、第1層と第2層とを結ぶ層間配線と金属配線とを接続することで接続距離の短い回路内配線を行うことができる。

〔実施例〕

ンタクトをとる。

このように第1層n型半導体素子のゲート電極1aと第2層p型半導体素子のゲート電極2aを層間配線1bで直接接続し、第1層n型半導体素子のドレイン電極(12a)と第2層p型半導体素子のドレイン電極(22a)を層間配線(8a)で接続することで簡単に用補型MOSインバータを構成できる。また同様に、ゲート電極(15b)と(25b)を層間配線(8b)で接続し、ドレイン電極(12c)と(22c)を層間配線(8c)で接続することで用補型MOSインバータを構成できる。そして前記層間配線(8a)と(8c)を新しい層の金属配線(4a)で接続すると、短かい距離で2つの素子を接続することができる。この場合、第1層n型半導体素子のソース電極1bは接地されており、第2層p型半導体素子のソース電極2bには電源電圧が加えられているとする。

上記実施例では、用補型MOSインバータについて述べたが、用補型MOS N ANDゲート、NORゲート、及び複合ゲートにおいても、

以下、この発明の一実施例を図に従つて説明する。第1図はこの発明の一実施例になる横層型半導体装置の断面構造を示したものである。図中(4a)～(4c)が、金属配線である。

この実施例では、まず通常のMOSデバイスのプロセスで、n型のMOS集積層(1a)を形成し、絶縁層(3)を、例えばシリコン酸化膜等で形成する。次に通常のプロセスで2層の金属配線をほどこし、その後同様にしてもう一度絶縁層(3)を形成する。次にp型のMOS集積層(2a)を形成するため、絶縁層(3)の上に単結晶シリコン層を形成し、ここに通常のMOSデバイスのプロセスでp型のMOS集積層(2a)を形成する。次に反応性イオンエッティング等によつて層(2a)から層(1a)に達するコンタクトホールをあけ、アルミニウム、高融点金属シリサイドなどをスパッタ法あるいはCVD法等でコンタクトホールを埋め込み、層間配線(8)(8a)(8b)(8c)を完了する。このとき必要に応じて、上記コンタクトホールによつて金属配線(4a)(4b)(4c)とのコ

同様、あるいはより以上に効果を発する。

また上記実施例では、金属配線層の金属配線は2層であつたが、それは何層でもかまわない。また、必要であれば第2層p型半導体集積回路層表面上に金属配線をつけたとしてもかまわない。

また、上記実施例では、第1層にn型半導体素子、第2層にp型半導体素子を形成したが、これは逆であつてもかまわない。

〔発明の効果〕

以上のようにこの発明によれば、用補型MOS集積回路を構成するのに、従来各層で2種類(p型とn型)の半導体素子を形成していたプロセス工程を各層で1種類と少なくすることができるし、各層での金属配線を新しい層でまとめて行うことができるので、従来の横層型半導体装置よりも大幅に簡単なプロセス工程で用補型MOS集積回路をつくることができる。

また、金属配線を活性領域などによる段差がない新しい層に形成するため、金属配線を細くすることができ横度も上げることができる。

さらに、p型半導体粒子とn型半導体粒子を
絶縁層や金属配線層で分離しているため、相補
型MOS構成回路に特有なラッチアップ現象を
起こすことがなくなる。

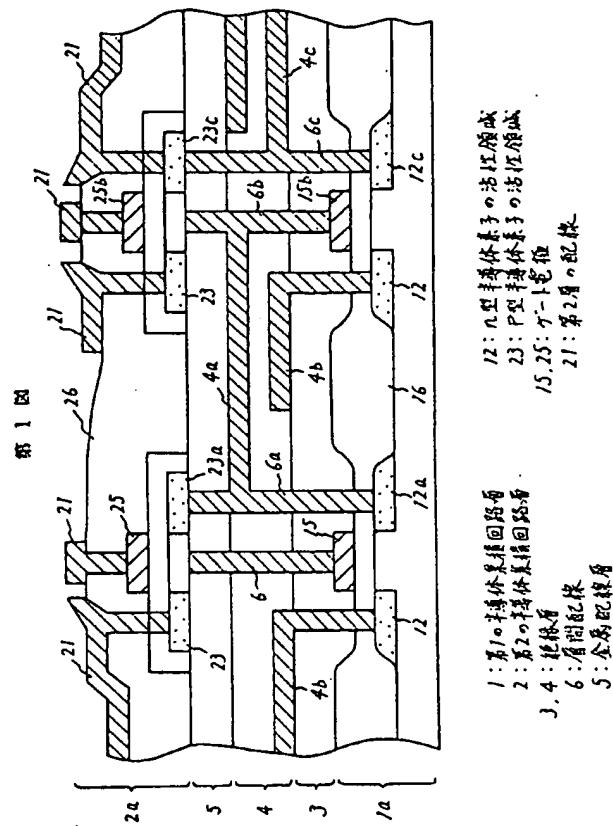
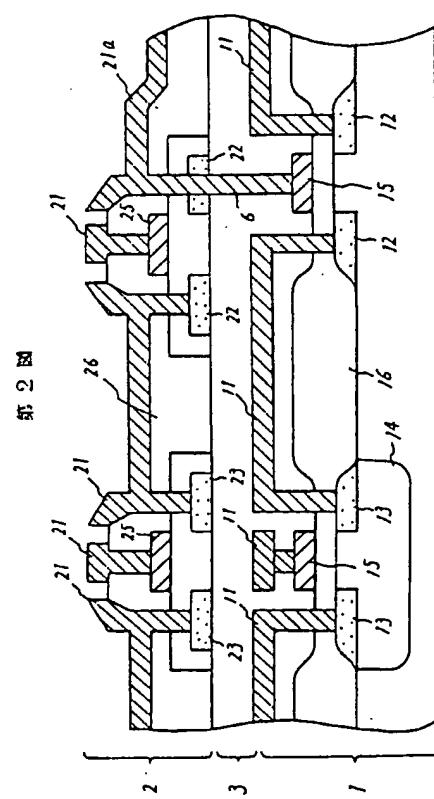
4. 図面の簡単な説明

第1図はこの発明の一実施例による横層型半導体基盤を示す断面図、第2図は従来の横層型半導体基盤を示す断面図である。

図において、(1)は第1の半導体集積回路層、(2)は第2の半導体集積回路層、(3)、(4)は絶縁層、(5)は金属配線層、(6)は瞬間配線、(7)～(9)はn型半導体の活性領域、(10)～(12)はp型半導体粒子の活性領域、(13)はゲート電極、(14)はn型のウェルである。

なお、凶中、同一符号は同一、または相当部分を示す。

代理人 大 岩 增 雄



手 級 補 正 書 (自發)

62 1 13
年 月 日

特許庁長官殿

1. 事件の表示

特丽昭 61-199781号

2. 発明の名称 半導体装置

3. 補正をする者

事件との関係 特許出願人
住所 東京都千代田区丸の内二丁目2番3号
名称 (601) 三菱電機株式会社
代表者 志岐 守哉

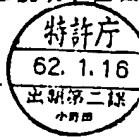
4. 代 理 人

住所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内

氏名 (7375) 弁理士 大岩 増雄 (連絡先 03(213)3421特許部) 

6. 補正の対象

明細書の発明の詳細な説明、図面の簡単な説明の欄
及び図面



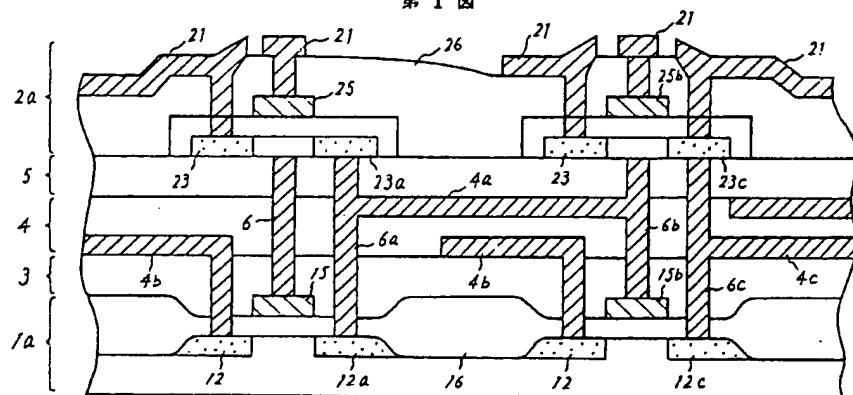
6. 指正の内容

(1)図面中、第1図を別紙のとおり訂正する。

(2)明細書をつきのとおり訂正する。

ページ	行	訂正前	訂正後
2	11	M型のウェル	n型のウェル
6	14	金属配線を新しい層で	金属性配線を形成するプロセス工程を新しい層で
7	18	M型のウェル	n型のウェル
7	10	(3)、(4)は絶縁層	(3)、(6)は絶縁層
7	11	(5)は金属配線層	(4)は金属配線層

第1図



1: 第1の半導体集積回路層

2: 第2の半導体集積回路層

3, 5: 絶縁層

6: 屋間絶縁

4: 金属配線層

12: 第1半導体素子の活性領域

23: P型半導体素子の活性領域

15, 25: ゲート電極

21: 第2層の配線